

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2000-509204

(P2000-509204A)

(43)公表日 平成12年7月18日(2000.7.18)

(51) Int.Cl.⁷
 H 01 L 27/10
 G 11 C 11/56
 16/02

識別記号
 4 3 1

F I
 H 01 L 27/10
 G 11 C 11/56
 17/00

テーマコード^{*} (参考)

4 3 1
 6 4 1

審査請求 未請求 予備審査請求 有 (全 44 頁)

(21)出願番号 特願平9-538209
 (86) (22)出願日 平成9年4月17日(1997.4.17)
 (85)翻訳文提出日 平成10年10月19日(1998.10.19)
 (86)国際出願番号 PCT/US 97/06538
 (87)国際公開番号 WO 97/40499
 (87)国際公開日 平成9年10月30日(1997.10.30)
 (31)優先権主張番号 08/635, 442
 (32)優先日 平成8年4月19日(1996.4.19)
 (33)優先権主張国 米国(US)
 (81)指定国 EP(AT, BE, CH, DE,
 DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), AU, BR, CA, FI, JP, KR, MX, NO, RU, SG, UA

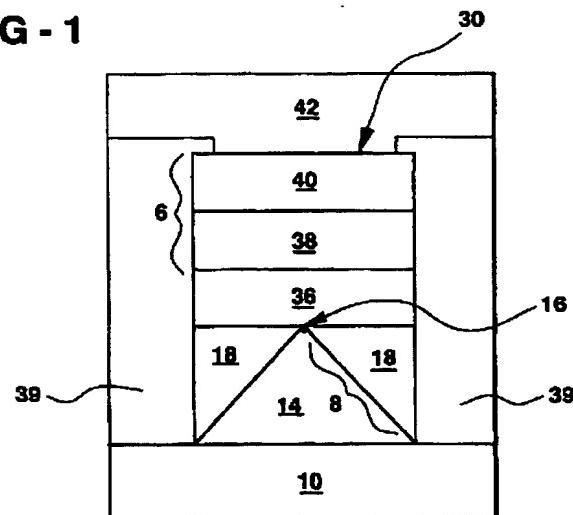
(71)出願人 エナージー コンバージョン デバイセス
 インコーポレイテッド
 アメリカ合衆国 48084 ミシガン州 ト
 ロイ ダブリュー. メイブル ロード
 1675
 (72)発明者 オヴシンスキー、スタンフォード アー
 ル.
 アメリカ合衆国 48013 ミシガン州 ブ
 ルームフィールド ヒルズ スカーレル
 ロード 2700
 (74)代理人 弁理士 三好 秀和 (外1名)

(54)【発明の名称】 テーパード・コンタクトを有するマルチビット単一セルメモリ

(57)【要約】

マルチビット記憶装置機能を備え、メモリ素子を選択された抵抗値に設定するために電気入力信号を供給するための少なくとも1つのコンタクト(6)、およびメモリ素子に隣接したピーク(16)まで次第に減る第2コンタクト(8)を有する、電気的に動作され、直接的に上書き可能であるマルチビット単一セルカルコゲン化物メモリ素子(36)。このようにして、テーパコンタクトは、メモリ素子を通して伝導経路のサイズおよび位置を規定するのに役立つ。

FIG - 1



【特許請求の範囲】

1. 少なくとも 1 つのカルコゲン元素と少なくとも 1 つの遷移金属元素とを含み、单一セルメモリ素子を成す一定容積のメモリ材料であって、(1) 電気抵抗値の大きな動的範囲と、(2) 前記单一セルメモリ素子にマルチビットメモリ能力を与えるように、前記メモリ材料の少なくとも 1 つの線条部分が選択した電気入力信号に応答して前記動的範囲内の複数の抵抗値のうちの 1 つに設定される能力とによって特徴付けられる前記一定容積のメモリ材料と、

前記選択した電気信号によって、前記材料の以前の抵抗値に関係なく前記動的範囲内の任意の抵抗値に設定することができる、前記单一セルメモリ素子の少なくとも 1 つの線条部分と、

前記メモリ材料を前記動的範囲内の選択した抵抗値に設定するために前記電気入力信号を供給する、間をおいて配置された第 1 及び第 2 コンタクトとから成る、電気的に動作し、直接上書き可能である、マルチビット单一セルメモリ素子であって、

さらに、前記第 2 コンタクトが前記メモリ材料に隣接したピークに向かってテーパー状に成されていることを改善点とする、前記单一セルメモリ素子。

2. 前記カルコゲン元素が、Te、Se、Ge、Sb

及びその混合物から選択される、請求項 1 のメモリ素子。

3. 前記第 1 コンタクトが、前記メモリ材料に隣接した隣接薄膜層を含む、請求項 1 のメモリ素子。

4. 前記隣接薄膜層が炭素材料から成る、請求項 3 のメモリ素子。

5. 前記隣接薄膜層が、Ti と、C、N、Al、Si 及びそれらの混合物又は合金より成るグループから選択された 2 種又はそれ以上の元素とを含む、請求項 3 のメモリ素子。

6. 前記隣接薄膜層の膜厚が約 100 Å ~ 2000 Å である、請求項 3 のメモリ素子。

7. 前記第 1 コンタクトがさらに、前記メモリ材料から距離をおいて配置された遠隔薄膜層を含む、請求項 1 のメモリ素子。

8 . 前記遠隔薄膜層が、 Ti 、 W 、 Mo 及びそれらの混合物又は合金より成るグループから選択された 1 つ又はそれ以上の元素から成る、請求項 7 のメモリ素子。

9 . 前記遠隔薄膜コンタクト層の膜厚が約 100 Å ~ 4000 Å である、請求項 7 のメモリ素子。

10 . 前記第 2 コンタクトのピーク断面の直径が、 2000 Å 未満である、請求項 1 のメモリ素子。

11 . 前記ピーク断面の直径が 1000 Å 未満である、請求項 10 のメモリ素子。

12 . 前記ピーク断面の直径が 500 Å 未満である、請求項 11 のメモリ素子。

13 . 前記の間をおいて配置された第 2 コンタクトが円錐状に尖っている、請求項 1 のメモリ素子。

14 . 前記の間をおいて配置された第 2 コンタクトが角錐状に尖っている、請求項 1 のメモリ素子。

15 . 前記の間をおいて配置された第 2 コンタクトがさらに第 1 薄膜層を含む、請求項 1 のメモリ素子。

16 . 前記第 1 薄膜層が、 Ti と、 C 、 N 、 Al 、 Si 及びそれらの混合物又は合金より成るグループから選択された 2 種又はそれ以上の元素を含む、請求項 15 のメモリ素子。

17 . 前記の間をおいて配置された第 2 コンタクトがさらに、 Ti 、 W 、 Mo 及びそれらの混合物又は合金から成るグループから選択された 1 種又はそれ以上の元素から成る第 2 薄膜層を有している、請求項 15 のメモリ素子。

【発明の詳細な説明】**テーパード・コンタクトを有するマルチピット単一セルメモリ****発明の分野**

本発明は一般に、独自に設計された、固体の、電気的に、また光学的に動作され、直接上書き可能である、低エネルギー、高速スイッチング、不揮発、アナログ及びマルチレベル、单一セル動作メモリ素子に関する。また本発明は、これらの素子から製作された高密度電子メモリアレイに関する。さらに詳細には、本発明は、テーパードコンタクト層を有するメモリ素子に関する。

背景及び従来技術

オボニック (Ovonic) 装置のEEPROMは、新規、独占的、高性能、不揮発の薄膜電子メモリ素子である。その優位点は、データの不揮発性記憶、高いビット密度の可能性、および結果的に、その小さい底面積および単純な2端子素子構成のための低費用、長い再プログラミング(reprogramming)サイクル耐用期間(cycle life)、低プログラミングエネルギー、および高速を含む。オボニック装置のEEPROMは、アナログ形式とデジタル

形式の両方の情報記憶を行うことができる。デジタル記憶は、バイナリ(メモリセルあたり1ビット)またはマルチステート(セルあたり複数ビット)のどちらかとなることがある。2つのデジタルモードの間で切り替えるには、マイナーな修正だけが必要である。本発明の目的のため、用語「メモリ素子」および「制御素子」は、同義に使用される。

初期の相変化電子メモリ

電気的に書き込み可能および消去可能な相変化材料(つまり、一般的に非晶質状態と一般的に結晶質状態の間で電気的に切り替えることができる材料)を電子記憶用途のために活用するという一般的な概念は、例えば、その両方ともが本発明として同じ譲受け人に譲渡され、その両方の開示がここに参考して組み込まれる(これ以降「オブシンスキ特許(Ovshinsky)」)、1966年9月6日に発行されたオブシンスキに対する米国特許第3,271,591号および1970年9月22日に発行されたオブシンスキに対する米国特許第3,530,44

1号に開示されるように、技術で周知である。

オプシンスキー特許に開示されるように、このような相変化材料は、一般的に非晶質の局所秩序(local order)と一般的に結晶質の局所秩序の構造上の状態の間、あ

るいは完全に非晶質の状態と完全に結晶質状態の間のスペクトル全体での局所秩序のさまざまな検出可能状態の間で電気的に切り替えることができる。すなわち、オプシンスキー特許は、このような材料の電気的なスイッチングが、完全に非晶質状態と完全な結晶質状態の間で起こることを必要とされないが、むしろ、十分ステップで、完全に非晶質状態と完全に結晶質状態の間のスペクトルに広がる局所秩序の複数の状態によって表される「グレイスケール(gray scale)」を提供するために、局所秩序の変化を反映する可能性がある。オプシンスキー特許によって説明される初期の材料は、必要ならば、符号化された二進情報の単一ビットの記憶および検索を処理するために、一般的に非晶質な局所秩序と一般的に結晶質の局所秩序の2つの構造上の状態の間だけで切り替えられる。

典型的なパーソナルコンピュータでは、たいていの場合4列(tiers)のメモリがある。アーカイバル情報は、磁気テープおよびフロッピーディスクのような、安価な低速の高記憶容量の不揮発性デバイスに記憶される。この情報は、必要に応じて、さらに高速でさらに高価ではあるが依然として不揮発性のハードディスクメモリに転送される。ハードディスクからの情報は、同様に、依然としてさらに高価で、さらに高速の、半導体ダイナミックRAM(DRAM)素子を使用する、揮発性システムメ

モリに転送される。非常に高速のコンピュータは、マイクロプロセッサが、比較的に低速のDRAMからデータをフェッチするために要する時間によって低速化されないように、DRAMに記憶される情報の小さな部分を、なおさらに高速でおさらに高価な揮発性スタティックRAM(SRAM)デバイスに前後に転送する。メモリ階層の列の間での情報の転送は、コンピュータの能力のいくらかを占有し、「オーバヘッド(overhead)」に対するこのニーズが、性能を削減し、コ

ンピュータのアーキテクチャでの余分な複雑度を生じさせる。ただし、階層構造の現在の使用は、使用可能なメモリ素子の価格および性能、ならびに費用を最小限に抑えつつ、コンピュータ性能を最適化するためのニーズによって左右される。

それ以降の電気ソリッドステートメモリだけではなく、オプシンスキー特許に説明される電気的に消去可能な相変化メモリには、テープ、フロッピーディスク、磁気ハードディスクドライブまたは光学ハードディスクドライブ、ソリッドステートディスクフラッシュ、DRAM、SRAMおよびソケットフラッシュメモリのような現在のコンピュータ記憶用途の直接的かつ普遍的な代替物としての普及した使用を妨げた数多くの制約があった。具体的には、以下がこれらの制約の最も重要なものを表す。（i）特にさらに大きな局所秩序の方向で（増加する晶出の方向で）切り替えられる場合の（現在の基準によれば）比較的に低速な電気的なスイッチング速度、（ii）局所順序の検出可能な変化を始動するために必要な比較的に高い入力エネルギー要件、および（iii）（特に、現在のハードディスクドライブ媒体に比較し）記憶される情報のメガバイトあたりの比較的に高い費用。

これらの制約の内の最も重要なものは、局所秩序の検出可能な変化を始動するためにカルコゲン化物材料の化学的または電子的、あるいはその両方のボンディング構成で検出可能な変化を得るために必要とされる比較的に高いエネルギー入力である。また、オプシンスキー特許に説明される電気的なメモリ材料のスイッチング時間も重要であった。これらの材料は、典型的には、設定時間（材料を非晶質状態から結晶質状態に切り替えるために要する時間）の数ミリ秒の範囲の時間、およびリセット時間（結晶質状態から非晶質状態に戻すために要する時間）の約1マイクロ秒を必要とした。電気エネルギーは、典型的には約1マイクロジュール（microjoule）の範囲で測定されるこれらの材料を切り替えることを必要とした。

このエネルギーの量が、メモリセルの行および列のソリッドステートマトリックス内のメモリ素子のそれぞれに送達されなければならないことに注意する必要

がある

。このような高いエネルギーレベルは、アドレス行および別個の各メモリ素子に結び付いたセル分離素子／アドレス素子に対する高い電流伝搬(current carrying)要件になる。これらのエネルギー要件を考慮に入れると、当業者にとってのメモリセル分離素子の選択は、非常に大型の単結晶ダイオードまたはトランジスタ分離素子に限られ、ミクロン規模のリソグラフィ、ひいてはメモリ素子の高圧縮密度の使用を不可能にしてしまうだろう。したがって、この材料から作られるマトリックスアレイの低いビット密度は、記憶される情報のメガバイトあたりの高い費用をもたらすだろう。

アーカイバル不揮発性大容量メモリと高速揮発性システムメモリの間で価格および性能の違いを効果的に狭めることによって、本発明のメモリ素子は、新規の非階層「汎用メモリシステム」の作成を可能にする機能を有する。本来、システム内のメモリのすべては、低費用、アーカイバル、および高速となり得る。最初のオブシンスキータイプの相変化電子メモリと比較して、本文中に説明されるメモリ材料は、(30ナノ秒を下回る)6のオーダーで速いプログラミング時間を提供し、(0.1から2ナノジュール(nanojoules)を下回る)極めて低いプログラミングエネルギーを使用し、長期安定性および(10兆サイクルを超える)cyclabilityを立証した。また、実験結果は、素子のサイズをさらに削減することによ

って、スイッチング速度およびサイクル耐用期間が増加することを示す。

一般的には、カルコゲン化物メモリ材料のクラスの開発および最適化は、現在では実質的にはより高速のスイッチング時間および実質的にはより低い設定エネルギーとリセットエネルギーを有する他のタイプのソリッドステート電子メモリと同じ速さで進んでこなかった。これらの他の形式のメモリは、いくつかの記憶用途でのメモリビット(ビットあたり多くても3つまたは4つのトランジスタ)ごとに、典型的には1つまたは2つのソリッドステートマイクロエレクトロニック回路素子を利用する。EEPROMのようなこのようなソリッドステートメモ

りでの重要な「不揮発性」メモリ素子は、典型的には、限られた再プログラム可能性(re-programmability)を持ち、各メモリビットを記憶するために電界効果形トランジスタのゲート上に電荷を保持する、浮動するゲート電界効果形トランジスタ素子である。この電荷は時間の経過とともに漏れることがあるため、情報の記憶は、それが、情報が実際的な原子構成またはその中から素子が製作されるカルコゲン化物材料の電子構造での変化を通して記憶される従来の技術の相変化媒体にあるので、真に不揮発性ではない。これらの他の形式のメモリは、現在、市場での受容を享受している。

D R A M および S R A M 、揮発性メモリ素子、および浮動ゲート構造のような他の「フラッシュ(flash)」デバイスとは対照的に、本発明の電子メモリ素子では電界効果形トランジスタは必要とされていない。事実上、本発明の電気的に消去可能で、直接的に上書き可能なメモリ素子は、分離用の薄膜カルコゲン化物材料および半導体ダイオードのモノリシック体に対する 2 つの電気接点だけを備える、製作するのに最も簡略な電子メモリ素子を表す。その結果、情報のビットを記憶し、それによって本質的に高密度のメモリチップに備えるために非常に小さいチップ「不動産(real estate)」が必要とされる。さらに、そして後述されるように、情報密度の特別な増加は各別個のメモリセルでのマルチピット記憶領域の使用によって達成できる。

現在使用されているソリッドステート電子メモリは、製造するには比較的に高価であり、費用は、典型的には、磁気ディスク記憶装置に関する記憶容量のビットあたり費用の約 80 倍である。他方、これらのソリッドステート電子メモリは、それらが移動パーツを持たない、動作するために必要とする電気エネルギーが少ないので、輸送および保管が容易である、およびより万能であり、携帯型コンピュータと他の携帯型電子デバイスとの使用に適応できるという点で、磁気ディスクメモリに優る一定の優位点を提供する。実際は、ハードドライブ製造メーカー

は、携帯型コンピュータの分野でのさらに小型のハードドライブおよび最終的にはソリッドステートメモリ記憶装置の使用の急速な伸びを予測している。さらに

、これらのソリッドステートメモリは、通常、希望されるメモリロケーションにアクセスするためには適切なデータトラックへのディスクヘッドの物理的な移動を必要とするディスクタイプとは対照的に、真のランダムアクセスシステムである。ただし、このような優位点にも関わらず、ソリッドステートの電気的に消去可能なメモリは、そのさらに高い費用のため、磁気メモリシステムによって現在支配されている市場のかなりのシェアを享受することができなかった。ソリッドステートの電気的に消去可能なメモリは削減された価格で製造できた可能性があるが、これらのデバイスの総体的な価格対性能比は、それらが、磁気ディスクシステムに完全に取って代るには不十分である。

最近開発されたメモリ素子は、金属非晶質シリコン金属(metal-amorphous silicon-metal) (M S M) 電子メモリスイッチである。非晶質固体物ジャーナル、115(1989年)、168-70ページのR o s e らの「非晶質シリコンアナログメモリ素子」および物理レビューレター、1991年4月8日、第14号、第66巻、1918-21ページのH a j t o らの「非晶質-シリコンメモリ構造での量子化された電子輸送」を参照のこと

。M S Mスイッチは、特に選択された金属コンタクトのp-タイプの非晶質シリコン(a-Si)薄膜のどちらかの側でのデポジションによって製作される。金属コンタクト材料の選択の重要性は後述される。M S Mメモリスイッチは、1ボルトから5ボルトの電圧パルスで比較的に速い(10-100ns)アナログスイッチング動作を示し、それによって、それらを不揮発性方法で設定できる約10°から約10°オームの抵抗の範囲を提供するとして開示される。技術の技能を持った従業者には容易に明らかとなるように、R o s e らおよびH a j t o らのM S Mメモリスイッチは、本発明のメモリ素子の電気スイッチング特性に類似する電気スイッチング特性(つまり、時間、エネルギー、および結果として生じる素子の抵抗)を示すが、実際にはそれらの間にはかなりの操作上の相違点がある。

最も重要な電気スイッチング相違点は、M S Mメモリスイッチが直接的に上書きできないという点にある。すなわち、M S Mスイッチは、抵抗のアナログ範囲

内のある抵抗から、その範囲の別の抵抗に、最初に消去（特定の開始抵抗または「開始状態」に設定）されないで直接的に双方向で変調することはできない。さらに具体的には、M S Mスイッチは、前記スイッチがアナログ範囲内の別の抵抗値に設定できるようになる前に、最初に高抵抗状態（消去済み）に設定されなければならない。それ

と対照的に、本発明のメモリ素子は、範囲の別の抵抗に設定される前に消去を必要としない。つまり、それらは直接的に上書き可能である。

R o s e らおよびH a j t o らのM S Mメモリチップと、本発明の電子メモリ素子との間の電気スイッチング特性のもう1つの重要な相違点とは、M S Mスイッチの二極動作である。R o s e らによって開示されるように、M S Mスイッチは、書き込むために使用されるそれらのパルスとは逆の極性の電気パルスを使用して消去されなければならない。重要なことには、印加されるパルスの極性のこの逆転は、本メモリ素子がデジタルスイッチングに使用されるのかアナログスイッチングに使用されるのかに關係なく、本発明のメモリ素子によって必要とされない。

M S Mスイッチと本発明のメモリ素子との間の電気スイッチング特性のこれらの相違点は、単に、素子をその中から構築する材料の單なる相違点以上のものに起因する。これらの相違点は、2つの素子の動作の物理的特性を特徴付けるスイッチング機構の根本的な相違点を示している。前記に遠回しに言及され、前記記事に開示されるように、M S Mメモリスイッチの電気スイッチング特性は、その中からコンタクトが製作される特定の金属（複数の場合がある）に極めて依存している。これは、これ

らのM S Mスイッチが、コンタクトの少なくとも1つの金属がスイッチ本体に輸送され、スイッチ本体の一体化した部分として形成される非常に高いエネルギー「形成」プロセスを必要とするためである。このプロセスでは、複数（R o s e らの論文の図1から少なくとも15）の漸次的に増加する300ナノ秒の5-15ボルトのパルスがスイッチを形成するために利用される。R o s e らは、「..

・素子のX線ミクロ分析研究が実施され、上部電極材料がa-Siの線条の(filamentary)領域に埋め込まれていることが判明した。これは、上部金属が線条(フィラメント)内で分散されるようになり、スイッチングの機構で役割を果たす可能性があることを示唆する…」と述べている。Roseらは、また、特に、使用可能な抵抗の動的範囲が、その中から上部電極コンタクトが作成される金属によって決定されることにも気づく。Roseらによって述べられるように、…その値は完全に(原文のまま)上部コンタクトに依存しており、底部金属被覆(原文のまま)とはまったく無関係であることが分かる。つまり、底部電極に関係なく、Cr上部電極素子はつねにデジタルであり、V上部電極素子はつねにアナログであることが判明した。電気スイッチングが発生するのはこの金属線条(フィラメント)領域内である。そして、金属のa-Siの中へのこの大量移植なしに、スイッチングはないだろう、Hajtoらの論文を参照のこと。それと対照区別して、本発明のメモリ素子は、

高速、低エネルギー、アナログ、直接上書き、メモリスイッチングを達成するために、薄膜メモリ素子の中へのコンタクト材料の移植を必要としない。実際は、本発明のメモリ素子の製作においては、金属の電極のどちらかからのアクティブなカルコゲン化物材料の中への拡散を妨げるために十分な注意が払われる。

RoseらおよびHajtoらの前記分析から、MSMスイッチが、想像力をたくましくすることによっても自由な電荷集中のミュレータとして適格化されないことが明らかであるはずである。むしろ、MSMメモリスイッチは、単に、変調されたスイッチが電流の流れを制御するために使用されるのとほぼ同じように、抵抗率の範囲を得るために、非晶質シリコン材料によって線条(フィラメント)金属経路を作成することに依存しているだけである。その直径が、その抵抗率を変更するために増加または減少できる、浸透(percolation)経路が確立される。フェルミ準位位置の移動はスイッチングプロセスには関係ない。動作を説明するために、半導体材料の起動での変化が呼び出される必要はない。孤立した非結合電子対の原子規模の移動は存在しない。クリスタライトのサイズと表面のその体積に対する比は、重要ではない。しかし、最も重要なことには、Roseら

およびHajtoらは、自分たちのメモリ材料のセルに記憶される情報を直接的に上書きできないのである。MSMスイッ

チは、新しい情報を書き込むことができるようになる前に、記憶された情報が消去されることを必要とする。Roseらが、自分たちのMSMスイッチが100万サイクルに制限されているが、本発明のメモリ素子が、試験を終了する前に、故障なく10兆サイクル以上循環されたことを査定したことは驚くべきことではない。

簡略に述べると、本発明の以前に開発されたソリッドステートメモリシステムは、それが製作された材料に関係なく、安価ではなく、容易に製造可能ではなく、不揮発性ではなく、低入力エネルギーを使用して電気的に書き込み可能ではなく、直接的に消去可能（上書き可能）ではなく、単一セルにマルチビット記憶可能（グレイスケールを有していた）ではなく、および非常に高い圧縮密度可能ではなかった。これ以降に説明されるメモリシステムは、既知のメモリシステムの欠陥のすべてに取り組んでいるため、実質的には現在市販されているすべてのタイプのコンピュータメモリを普遍的に置換するものとしてすぐに普及するだろう。さらに、本発明のメモリはすべて薄膜フォーマットで製作できるため、三次元アレイが高速高密ニューラルネットワーク、および人工知能用途に可能である。したがって、本発明のメモリシステムは、その多層三次元アレイが、迅速にアドレス指定できる大量の情報記憶域を提供し、このようにして記憶された情報からの学習を可能にするため、ニューラル

ネットワークおよび人工知能システムに独特に適用することができる。

前記説明から、本発明のスイッチング速度およびエネルギー要件の量的な変化が、従来の技術の相変化メモリに比較して、それらのメモリがまったく新しいクラスの変調可能(modulatable)半導体材料を定義することを立証することが明らかである。さらに、従来の技術には、本発明のメモリ素子の直接的な上書き、幅広い動的範囲、およびマルチビットメモリ能力に対する相似物はない。

フラッシュ EEPROM 市場に取り組み、汎用メモリとして真剣に考えられる

ために、普通程度の技能のある熟練工に十分に明らかであるように、メモリ素子は真に不揮発性であることが必須である。これは、メモリ素子がマルチビットメモリ能力を所有すると主張される場合にはなおさら重要である。設定された抵抗値が失われたり、経時的にかなり受動的にゆっくり移動することも判明する場合、その中に記憶される情報は破壊され、ユーザはメモリのアーカイバル機能に対する信頼を喪失し、技術はすべての信頼性を失う。

設定される抵抗の安定性に加え、汎用メモリに要求されるだろうもう一つの極めて重要なファクタとは、低スイッチング電流である。これは、EEPROMが大規模

アーカイバル記憶装置に使用される場合に、極めて重要である。このようにして使用され、EEPROMは、現在のコンピュータシステムの（磁気ハードドライブや光学ハードドライブのような）機械的なハードドライブに取って代わるだろう。従来の機械的なハードドライブの、EEPROM「ハードドライブ」によるこの置換の主要な理由の1つとは、機械的なシステムの比較的大きい電力消費を削減することだろう。ラップトップコンピュータのケースでは、機械的なハードディスクドライブはその中の最大電力消費者の内の1つであるため、これは特に重要である。したがって、この電力負荷を削減し、それによって、実質的には、パワーセル(power cell)の電荷あたりのコンピュータの使用時間を伸ばすことは、特に有利だろう。ただし、EEPROMによる機械的なハードドライブの置換に高いスイッチングエネルギー要件（したがって高い電力要件）がある場合、電力節約は枝葉末節となるか、よくても実体のないものになる可能性がある。したがって、汎用メモリと見なされなければならないEEPROMは、低スイッチングエネルギーを必要とする。

EEPROM汎用メモリのさらにもう一つの要件とは、その中に記憶される情報の高い熱安定性である。今日のコンピュータ、特にパーソナルコンピュータは、日常的に高温にさらされている。これらの高温は、電源から

または他の熱作成内部構成部品からのように、内部で作り出される熱によって生

じる場合がある。また、これらの高温は、暑い気候でのコンピュータの使用または直接的または間接的に通常の温度より高く加熱される環境でのコンピュータの保管のような環境上のファクタによって引き起こされることもある。温度の上昇を引き起こすものが何であれ、現在のコンピュータメモリシステム、特に「ハード」つまりアーカイバルメモリは、比較的に高い温度でも熱的に安定していなければならぬ。この熱安定性がない場合、前記の威信の失墜につながるデータ損失が発生する可能性がある。

E E P R O M 汎用メモリのまたもう 1 つの要件とは、長い書込み／消去サイクル耐用期間である。E E P R O M にとって、すべてのアーカイバルメモリでの場合のように、サイクル耐用期間は、消費者の信頼および受容で重要な役割を果たす。メモリ素子のサイクル耐用期間が短すぎると、消費者は、貴重なデータを失うことを恐れてこのデバイスの使用に反対するだろう。E E P R O M がコンピュータメインメモリまたはディスプレイメモリの代替物、つまり D R A M 、 S R A M 、または V R A M の代替物として使用されなければならない場合、長いサイクル耐用期間の要件はなおさらに重大である。メインメモリおよびディスプレイメモリは、コンピュータの最も頻繁に書き込まれる／消去されるデータ記憶領域であ

る。新しいコンピュータプログラムがロードされるたびに、コンピュータのメインメモリの一部は消去され、書き換えられる。コンピュータプログラムの実行中、コンピュータのメインメモリの一部はつねに循環されている。コンピュータモニタのディスプレイが変更されるたびに、ディスプレイメモリの部分は循環される。コンピュータのメインメモリおよびディスプレイメモリを置換するために使用されるE E P R O M が比較的に長い書込み／消去サイクル耐用期間を持たない場合、これらのメモリは過剰に交換される必要がでてくるだろう。これは、消費者にとって過剰な費用、したがって消費者の信頼の損失につながるだろう。

発明の要約

本明細書においては、单一セルメモリ素子を規定している一定容積のメモリ材料から成る、電気的に動作され、直接上書き可能な、マルチビット单一セルメモ

リ素子が開示される。前記メモリ材料は、(1)電気抵抗値の大きな動的範囲と、(2)単一セルメモリ素子にマルチピットメモリ能力を与えるように、メモリ材料の少なくとも1つの線条(フィラメント)部分が、選択された電気入力信号に応答して、動的範囲内の複数の抵抗値のうちの1つに設定される能力とによって特徴付けられる。単一セルメモリ素子の少なくとも1つの線条(フィラメント)部分は、材料の過去の抵抗値には関係なく、選択された電気信号によって、動的範囲内の任意の抵抗値に設定されることができる。

メモリ素子は、さらに、メモリ材料を動的範囲内の選択された抵抗値に設定するため電気入力信号を供給するための間をおいて配置された第1コンタクトと、メモリ材料を動的範囲内の選択された抵抗値に設定するために電気入力信号を供給するための間をおいて配置された第2コンタクトとを備える。第2コンタクトは、メモリ素子に隣接したピークに向かってテーパー状に成されている。前記ピークは、メモリ素子の電気的形成(エレクトリカル・フォームーション)過程における前記線条(フィラメント)部分のサイズおよび位置を規定する。

図面の簡単な説明

図1は、メモリ材料に隣接したピークに向かって次第に小さくなる第2コンタクトを描いた、単一メモリ素子の断面図である。

図2は、炭素材料の追加薄膜層を備える第2コンタクトを描く単一メモリ素子の断面図である。

図3は、素子が1組のX-Yアドレス指定線にどのように接続されるのかを示す複数のメモリ素子の考えられるレイアウトの平面図である。

図4は、さらに、ダイオードのような分離素子が、デバイスのそれぞれを他のものから電気的に絶縁するために、メモリ素子とどのように直列で接続されるのかを示す図1のメモリ素子の概略図である。

図5は、アドレス/ドライバ/デコーダが操作上その上に加えられる集積回路と電気的に連絡して配置される、図1に描かれるような本発明の統合されたメモリマトリックスのある単結晶半導体基板を図解する概略表記である。

図6は、その中から本発明のメモリ素子が製作されるGe: Sb: Te合金システムの三進(ternary)相図であり、前記相図は、これらの元素の多様な混合物が急速な凝固時にその中に分離する複数の相の内のいくつかを示す。

発明の詳細な説明

幅広いクラスのカルコゲン化物材料から製作される消去可能電子メモリは、材料内での一定の原子種の移動によって行われる構造変化を利用して、材料が非晶質状態から結晶質状態に切り替わる際の相変化を可能にしている。例えば、硫黄および砒素のような、それぞれ約1パーセントから2パーセントという少量のその他の一一定の元素とともに、約80%から85%のテルルおよび約15%のゲルマニウムを含む合金のような、テルルおよび

ゲルマニウムから形成される電気的にスイッチング可能なカルコゲン化物合金のケースでは、より規則正しい、つまり結晶質の状態は、典型的には、メモリ材料のスイッチング可能な孔内での極めて電気的に導電性の結晶性Te線条(フィラメント)の形成によって特徴付けられた。このような従来の技術の材料の典型的な組成は、例えばTe_{0.8}Ge_{0.1}S_{0.1}AS_{0.0}またはTe_{0.8}Ge_{0.1}S_{0.1}Sb_{0.0}だろう。Teはその結晶質状態で極めて導電性であるため、非常に低い抵抗状態がさらに規則正しい、つまり結晶状態にあるTe線条(フィラメント)を通して確立された。この抵抗は、より規則正しくなく、つまり非晶質状態にある孔の抵抗より桁違いに低い。

ただし、結晶質状態にある導電性のTe線条(フィラメント)の形成には、Te原子の、非晶質状態にあるその原子構成から、結晶性Te線条(フィラメント)状態にある新規に局所的に集中した原子構成への移植が必要とされた。同様に、カルコゲン化物線条(フィラメント)材料が非晶質状態に戻されると、結晶質線条(フィラメント)の中に析出したTeが、材料内で、線条(フィラメント)のその局所的に集中した形式から非晶質状態のその原子構成に移植されて戻ることが要求された。非晶質状態と結晶質状態の間でのこの原子移植、拡散または再配置は、各ケースで、移植を処理するほど十分の長さの保持時間または休止時間を必要とし、それによって

必須スイッチング時間およびエネルギーを比較的に高くした。

発明者らは、新しいクラスのカルコゲン化物半導体材料の上で築き上げられた、根本的に異なるタイプの電気的に消去可能で、直接的に上書き可能なメモリの必要とされるスイッチング時間とエネルギー入力の両方での顕著な低減を発見した。さらに、カルコゲン化物材料は、この新規に発見されたクラスの材料が改善された電子メモリ素子を製作するために使用できるように、顕著に速い速度での、著しく低いエネルギー入力による安定した状態の幅広い動的範囲内のスイッチングに備えた。

具体的には、メモリ材料は、ピコジュール (p J) のエネルギーの投入をもって、ナノ秒時間期間内の変化する抵抗の電気的に検出可能な状態の間で切り替えることができる（ただし、最小スイッチング速度および最小エネルギー要件は、依然として確かめられておらず、本出願の提出現在での実験データは、電気的なメモリが（たとえ最適化されていなくても）1ナノ秒ほど短いプログラミングパルスで変調できることを示した）。このメモリ材料は不揮発性であり、定期的なリフレッシュ信号を必要としなくとも、（選択された誤差の余地内で）メモリセルによって記憶される情報の保全性を維持する。多くのそれ以外の半導体材料および記憶用途に関してこれ

まで指定されたシステムとは対照的に、本発明の半導体メモリ材料およびシステムは、そこに記憶される情報を変更するために、別個のメモリ素子を消去（指定された開始ポイントに設定）する必要がないように、直接的に上書きすることができる。著しく高速かつ低エネルギーの、さまざまな抵抗の値のどれかへのスイッチングは、前記スイッチングが、スイッチング材料の総体原子再配列を必要としなくても発生するという事実に起因している。

メモリ材料は、複数の組成原子元素から形成され、そのそれぞれは一定容積のメモリ材料全体を通して存在する。複数の組成原子元素は、少なくとも1つのカルゴゲン元素を含み、少なくとも1つの遷移金属元素を含むことがある。本文中で使用される用語「遷移金属」は、元素21から30、39から48、57および72から80を含む。さらに好ましくは、一定容積のメモリ材料を形成する、

複数の組成原子元素は、 T e 、 S e 、 G e 、 S b 、 B i 、 P b 、 S n 、 A s 、 S 、 S i 、 P 、 O から成り立つグループから選択される元素およびその混合物または合金を含む。さらに好ましくは、遷移金属は、 C r 、 F e 、 N i およびその合金の混合物を含み、カルコゲン元素は T e および S e を含む。最も好ましくは、遷移金属は N i である。このような複数元素系の具体的な例は、これ以降に、 N i または S e を含む、あるいは含

まない T e : G e : S b 系に関して以下に説明される。

プログラミングが達成される方法の説明には関係なく、本発明は、以前には一度も単一メモリ素子で使用できなかった貴重な電気スイッチング特性の組み合せを提供する。

メモリ素子を製作する上で利用される特殊な半導体合金は、特に、「孤立電子対」の存在について注記されるカルコゲン元素を含む。したがって、これらの孤立電子対の使用可能な化学ボンディング構成での影響について説明することが必要である。簡略に述べられる場合、孤立電子対とは、典型的には結合によって連結されていない原子の原子価シェル内の電子対のことである。このような孤立した組電子は、構造的に、および化学的にの両方で重要である。それらは、それ以外の孤立電子対に対してだけではなく、ボンディング構成で連結される隣り合った電子の組に強い反発力を行使することによって、分子および水晶格子構造の形状に影響を与える。孤立電子対は、第2核によってボンディング領域の中に拘束されていないため、それらは低エネルギー電子遷移に影響を及ぼし、貢献することができる。最初にオブシンスキーによって指摘されたように、孤立電子対は、1と3の中心ボンディングを有することがある。そして、 K a s t n e r 、 A d l e r および F r i t s c h e によって

立証されるように、それらは原子価改変組を備える。

具体的には、本文中に記述されるテルル合金は、孤立電子対状態から構成される原子価を持つ。四 p シェル電子が T e の中に存在し、 T 原子が p シェル内のこれらのボンディング電子の内の 2 個によって化学的に結合されるため、他の 2 個

の外部電子（孤立した対）は、ボンディングの目的には活用されず、したがって、実質上、システムの原子エネルギーを変更しない。この点で、最高に充満された分子軌道関数とは、孤立電子対を含む軌道関数のことであることに注意する。これは、テルル原子およびゲルマニウム原子の完全な化学量論的な結晶では、その中からクリスタライトが形成される格子内に、ある程度の内部ひずみを適用すると、価電子帯がそのときに既存のフェルミ準位の位置を広げ、そのときに既存のフェルミ準位の位置に向かって上方へ移動することができるため重要である。ただし、TeGe結晶体は、自然に「自己補正」される。つまり結晶体は、優先的にTeが豊富な（約52パーセントのTeおよび48パーセントのGe）組成を想定することを希望する。化学量論的な水晶体は、面を中心とした(face centered)立方体である。ただし、最小量のエネルギーが追加されると、結晶体は、そのGe空位またはSb空位あるいはその両方の数を増加することによって、菱面体格子構造を想定することができる。TeGe合金での格子ひずみを削減する

ことができ、材料のエネルギー状態を引き下げる責任を負い、フェルミ準位を価電子帯に向かって移動するのは、結晶性格子構造におけるこの空位の作成である。

価電子帯の完全に予想的な説明がない場合、必須ではなくても、説明を得る目的で短い範囲の局所秩序モデルの上部に局所秩序の非晶質モデルを重ねることができる。材料の非晶質性質を考慮する場合、バンド(band)尾部での欠陥状態の密度が、バンド縁に隣接して最大であるが、捕捉された電荷担体の再組み合わせ中心の深度が、バンド縁から遠く離れるとさらに深くなることに注意する。これらの深いトラップのおよび尾部状態の存在が、フェルミ準位位置とバンド縁の中間的な安定した抵抗値の考えられる説明を提供する。理論には関係なく、完全に結晶質である場合、本発明の半導体材料は、金属のような伝導を示す縮退(degenerate)半導体である。

さらに、半導体およびメモリ材料の大部分に存在するクリスタライト（微結晶）のサイズは、比較的に小さく、好ましくは約2000Åを下回り、さらに好ましくは約50Åと500Åの間であり、最も好ましくは約200Åから約400

\AA のオーダーであると考えられる。さらに、これらのクリスタライトは、材料が確実にかつ繰り返し設定できるこれらの検出可能な抵抗値の間での遷

移のさらに低いエネルギー要件だけではなく、さまざまな抵抗（導電率）として検出可能な、材料の多くのフェルミ準位の急速な形成に貢献する可能性がある非晶質被膜によって取り囲まれていると考えられている。

また、本発明の微晶質材料から製作される、2つまたは3つの端子半導体素子のスイッチング特性の変調は、反復可能かつ検出可能な値が達成できるように制御される可能性があることも判明した。本発明の材料が、低エネルギー入力信号によって（フェルミ準位位置によって決定される）希望される導電率に迅速に設定されるためには、前記材料が少なくとも2つの異なったフェルミ準位位置内の安定した（つまり長命の準安定天使）存在となることができ、フェルミ準位位置が実質的に一定のバンドギャップではあるが、異なった電気導電率によって特徴付けられることだけが必要である。前記に注記されるように、比較的に小さいクリスタライトのサイズは、抵抗の検出可能な値の間での急速な遷移に貢献することがあるとも考えられている。

本発明の半導体材料の1つの特徴とは、単位容積あたりさらに多い、およびさらに小さいクリスタライトの形成に向かうその傾向である。本発明を実現する代表的な材料の最も広い優先的な範囲のクリスタライトのサイズは、約 2000 \AA をはるかに下回り、通常は、従来の技

術の材料の特徴を示す約 2000 \AA から 5000 \AA の範囲を下回ることが判明した。クリスタライトのサイズは、本文中、クリスタライトの、つまりクリスタライトが球状の形状ではない直径に同等であるその「特徴的な寸法」の直径として定義される。

本発明の規準を満たす TeGeSb 材料のクラスの極めて抵抗力のある状態での構成物が、一般的には、従来の技術の電気的に消去可能なメモリ材料に存在する Te の濃度に関して、かなり削減された Te の濃度によって特徴付けられることが突き止められた。実質的に改善された電気的なスイッチング性能特性を提供

する 1 つ の構成物では、堆積したときの材料内での Te の平均濃度は、70%をはるかに下回り、典型的には約 60%を下回り、一般的には、最低でも約 23%から最高 58%の Te、および最も好ましくは約 48%から 58%の Te の範囲となつた。Ge の濃度は約 5%を上回り、材料中、約 8%という低値から約 30%の平均値の範囲に及び、通常は 50%を下回つたままであつた。最も好ましくは、Ge の濃度は約 8%から約 40%の範囲に渡つた。この組成の主要な組成元素の残りは Sb であった。示されるパーセンテージは、総計して組成元素の原子の 100%になる原子パーセンテージである。したがつて、この組成は、Te, Ge, Sb_{100-(x+y)}として特徴付けられる可能性がある。これらの三進 Te - Ge - Sb 合金は、

なおさらに優れた電気特性を備える追加のメモリ素子の開発にとって有効な開始物体である。

Te : Ge : Sb 系の三進図は、図 6 に表示される。溶解物は Te, Ge および Sb の多様な混合物から調製され、溶解物は、急速な凝固時に複数の相に分離した。これらの急速に凝固した溶解物の分析は、10 の異なつた相の存在を示した（すべてが任意の 1 つの急速に凝固された溶解物にあつたわけではない）。これらの相とは、原子の Ge, Te, および Sb, 2 進化合物 GeTe と Sb₂Te₃、および 5 つの異なつた三進相である。三進相のすべての元素組成は、擬似二進 (pseudobinary) GeTe - Sb₂Te₃ 行の上にあり、図 6 に示されるように、三進図での参照文字 A, B, C, D および E によって示される。これらの 5 つの、三進相での元素の原子比は、表 1 に説明される。図 6 のさらに詳細な説明がこれ以降に提示される。

表 1

Te - Ge - Sb 系において観察された三進結晶質相

名称	Ge (%)	Sb (%)	Te (%)
A	40	10	50
B	26	18	56

C	1 8	2 6	5 6
D	1 4	2 9	5 7
E	8	3 5	5 6

本発明の新規メモリ素子は一定容積のメモリ材料を含み、前記メモリ材料は好ましくは少なくとも1つのカルコゲンを含み、1つまたは複数の遷移金属を含むことができる。遷移金属を含むメモリ材料は、Te-Ge-Sbの三進系での著者のメモリ材料の元素の(elementally)修正された形式である。すなわち本質的に修正されたメモリ材料は、Te-Ge-SBメモリ合金の修正された形式を構成する。この元素の修正は、Seのような追加のカルコゲン元素を含んでいるか、含んでいない基本的なTe-Ge-Sbの三進系の中に、遷移金属を取り入れることにより達成される。一般的には、元素の修正されたメモリ材料は、2つのカテゴリに該当する。

第1カテゴリは、Te、Ge、Sbおよび遷移金属を

(Te_aGe_bSb_{100-(a+b)})_cTM_{100-c}の比で含むメモリ材料である。この場合、下付き文字は、総計して組成元素の100%になる原子パーセンテージにあり、TMは1つまたは複数の遷移金属であり、aとbは本文中基本的なTe-Ge-Sbの三進系のために前記に説明される通りであり、cは、約90%と99.99%の間である。遷移金属は、好ましくはCr、Fe、Ni、Nb、Pd、Ptおよびその混合物または合金である。

このシステムによって含まれるメモリ材料の特別な例は、(Te₅₆Ge₂₂Sb₂₂)₉₅Ni₅、(Te₅₆Ge₂₂)₉₀Ni₁₀、(Te₅₆Ge₂₂Sb₂₂)₉₅Cr₅、(Te₅₆Ge₂₂Sb₂₂)₉₀Cr₁₀、(Te₅₆Ge₂₂Sb₂₂)₉₀Fe₁₀、(Te₅₆Ge₂₂Sb₂₂)₉₅Pd₅、(Te₅₆Ge₂₂Sb₂₂)₉₀Pd₁₀、(Te₅₆Ge₂₂Sb₂₂)₉₅Pt₅、(Te₅₆Ge₂₂Sb₂₂)₉₅Pt₅、(Te₅₆Ge₂₂Sb₂₂)₉₅Nb₅、(Te₅₆Ge₂₂Sb₂₂)₉₀Nb₁₀、(Te₅₆Ge₂₂Sb₂₂)₉₀Ni₅Cr₅、(Te₅₆Ge₂₂Sb₂₂)₉₀Ni₅Fe₅、(Te₅₆Ge₂₂Sb₂₂)₉₀Cr₅Fe₅、(Te₅₆Ge₂₂Sb₂₂)₉₀Pd₅Cr₅、(Te₅₆Ge₂₂Sb₂₂)₉₀Ni₅Pd₅、(Te₅₆Ge₂₂Sb₂₂)₉₀Pd₅Pt₅などを含む。

第2カテゴリは、Te、Ge、Sb、Seおよび遷移金属を比 (Te_aGe_bSb_cSe_d)_{100-(a+b+c+d)}で

必要とするメモリ材料である。この場合、下付き文字は、総計して組成元素の100%となる原子パーセンテージにあり、TMは1つまたは複数の遷移金属であり、aとbは基本的なTe-Ge-Sbという三進系の前記に説明される通りであり、cは、90%と99.5%の間であり、dは約0.01%と10%の間である。遷移金属は、好ましくはCr、Fe、Ni、Pd、Pt、Nbおよびその合金の混合物を含む。このシステムによって含まれるメモリ材料の具体的な例は、(Te₅₅Ge₂₂Sb₂₂)₉₀Ni₅Se₅、(Te₅₅Ge₂₂Sb₂₂)₈₀Ni₁₀Se₁₀、(Te₅₅Ge₂₂Sb₂₂)₉₀Cr₅Se₅、(Te₅₅Ge₂₂Sb₂₂)₈₀Cr₁₀Se₁₀、(Te₅₅Ge₂₂Sb₂₂)₉₀Fe₅Se₅、(Te₅₅Ge₂₂Sb₂₂)₈₀Fe₁₀Se₁₀、(Te₅₅Ge₂₂Sb₂₂)₉₀Pd₅Se₅、(Te₅₅Ge₂₂Sb₂₂)₈₀Pd₁₀Se₁₀、(Te₅₅Ge₂₂Sb₂₂)₉₀Pt₅Se₅、(Te₅₅Ge₂₂Sb₂₂)₈₀Pt₁₀Se₁₀、(Te₅₅Ge₂₂Sb₂₂)₉₀Nb₅Se₅、(Te₅₅Ge₂₂Sb₂₂)₈₀Nb₁₀Se₁₀、(Te₅₅Ge₂₂Sb₂₂)₈₅Ni₅Cr₅Se₅、(Te₅₅Ge₂₂Sb₂₂)₈₀Ni₅F₅Se₁₀、(Te₅₅Ge₂₂Sb₂₂)₈₅Cr₅Fe₅Se₅、(Te₅₅Ge₂₂Sb₂₂)₈₅Ni₅Pd₅Se₅、(Te₅₅Ge₂₂Sb₂₂)₈₀Ni₅Pt₅Se₅、(Te₅₅Ge₂₂Sb₂₂)₈₅Ni₅Nb₅Se₅、(Te₅₅Ge₂₂Sb₂₂)₈₅Pd₅Cr₅Se₅、(Te₅₅Ge₂₂Sb₂₂)₈₀Pd₅Pt₅Se₁₀、(Te₅₅Ge₂₂Sb₂₂)₈₅Pd₅Nb₅Se₅、(Te₅₅Ge₂₂Sb₂₂)₈₅Pt₅Nb₅Se₅などを含むであろう。

本特許出願のメモリ素子は、実質的には不揮発性の設定抵抗値を所有する。ただし、本メモリ素子の抵抗値がある状況の元でその最初の設定値から受動的にゆっくりと移動する場合、このドリフトを排除するために、後述される「組成の修正」が使用される可能性がある。本文中に使用されるように、用語「不揮発性」は、設定抵抗値がアーカイバル時間期間の間実質的には一定のままとなる状態を指す。言うまでもなく、選択された誤差の余白の外で絶対に「ドリフト」が発生

しないことを保証するために、（後述されるフィードバックシステムを含む）ソフトウェアを利用することができる。メモリ素子の抵抗値のドリフトが妨げられないまま放置されると、情報のグレースケール記憶を妨げるため、ドリフトを最小限に抑えることが望ましい。

「組成の修正」は、本文中、材料の固有抵抗を増加するためにバンドギャップを広げる元素の追加を含む、実質的に安定した抵抗の値を生じさせるために、メモリ材料を組成上修正する任意の手段を備えるために定義される。組成の修正の1つの例は、厚さに関して格付けされた(graded)組成上の異質部分を含むことである。例えば、一定容積のメモリ材料は、第1Te-Ge-Sb合金か

ら、異なる組成の第2Te-Ge-Sb合金へ格付けがある。組成格付けは、設定抵抗値ドリフトを削減する任意の形式を取り可能性がある。例えば、組成格付けは、同じ合金系の第1合金および第2合金に制限される必要はない。また、格付けは、3つ以上の合金で達成することができる。格付けは均一かつ連続的となる場合もあれば、非均一かつ非連続的となる場合もある。抵抗値のドリフトが削減される結果となる組成格付けの具体的な例は、ある表面でのGe_xSb_yT_zの反対の表面でのGe_xSb_yT_zへの均一で連続的な格付けを含む。

組成の修正を利用して、抵抗ドリフトを削減する別の方法とは、一定容積のメモリ材料を層化することによる。つまり、一定容積のメモリ材料は、複数の別個の、異なる組成の比較的に薄い層から形成されることがある。例えば、一定容積のメモリ材料は、そのそれぞれ1つが異なるTe-Ge-Sb合金から形成される1つまたは複数の層の組を含むことがある。さらに、格付けされた組成の場合でのように、実質的に削減された抵抗値ドリフトを生じさせる層の任意の組み合わせが利用できる。層は、類似する厚さとなることもあれば、異なる厚さとなることもある。任意の数の層が使用され、同じ合金の複数の層が接触する(continuous)か、互いから離れて、一定容積のメモリ材料内に存在することがある。また

、任意の数の異なる合金組成の層が使用されることがある。組成層化の具体的な例は、 $\text{Ge}_{11}\text{Sb}_{22}\text{Te}_{55}$ および $\text{Ge}_{11}\text{Sb}_{22}\text{Te}_{56}$ の交互に現れる層の組を含む一定容積のメモリ材料である。

抵抗ドリフト削減するための組成異質部分の別の形式は、組成格付けおよび組成層化を組み合わせることによって達成される。さらに特定すると、前記の組成格付けは、前記の組成層化のどれかと組み合わされ、安定した一定容積のメモリ材料を形成する。この組み合わせを使用するメモリ材料の例示的な量とは、(1) $\text{Ge}_{11}\text{Sb}_{22}\text{Te}_{55}$ および $\text{Ge}_{11}\text{Sb}_{22}\text{Te}_{56}$ の格付けされた組成が後に続く $\text{Ge}_{11}\text{Sb}_{22}\text{Te}_{55}$ の別個の層を含む一定容積のメモリ材料、および(2) $\text{Ge}_{11}\text{Sb}_{22}\text{Te}_{55}$ の別個の層および $\text{Ge}_{11}\text{Sb}_{22}\text{Te}_{56}$ および $\text{Ge}_{11}\text{Sb}_{22}\text{Te}_{55}$ の格付けされた組成を含む一定容積のメモリ材料である。

図1を参照すると、単結晶シリコン半導体ウェーハ10の上に形成された本発明のメモリ素子の断面図が図示されている。メモリ素子は、メモリ材料36、間隔を空けて配置された第1コンタクト6、間隔を空けて配置された第2コンタクト8を備える。間隔を空けて配置された第1コンタクトと間隔を空けて配置された第2コンタクトの両方とも、メモリ材料に電気入力信号を供給する

ために使用される。

第1コンタクト6は、2つの薄膜層から構成することができる。メモリ材料36に隣接して配置される薄膜層38は、カルコゲン化物メモリ材料36中への異物の拡散及びエレクトロ・マイグレーションを抑制する優れた拡散障壁特性を備える。

隣接薄膜層38は、非晶質炭素のような炭素材料から成されることがある。或いは、隣接薄膜層38は、Ti、V、Cr、Zr、Nb、M、Hf、Ta、Wから成り立つグループから選択される1つの元素、および、B、C、N、Al、Si、P、Sから成り立つグループから選択される2つまたは3つ以上の元素を含む化合物から形成することができる。好ましくは、隣接薄膜層38は、Tiと、C、N、Al、Si及びそれらの混合物又は合金から成り立つグループから選択される2つまたは3つ以上の元素とを含む化合物から形成される。1つの実

施例においては、隣接薄膜層は、原子パーセントで約10%～60%のチタン、5%～50%の炭素、および10%～60%の窒素、の組成を有する化合物から構成される。さらに、チタン炭素窒化物(carbonitride)は、水素を40%まで含むことができる。

別の実施例では、隣接した薄膜層38は、チタン珪素

窒化物(siliconitride)から構成される。この実施例では、隣接した薄膜層は、原子パーセントで、約10%から60%のチタン、5%から50%の珪素、および10%から60%の窒素、の組成を有する化合物からなる。

第3の実施例では、隣接薄膜層38は、チタンアルミニウム窒化物から構成される。好ましくは、この実施例において、隣接した薄膜層は、原子パーセントで約10%から60%のチタン、5%から50%のアルミニウム、および10%から60%の窒素、の組成を有する化合物からなる。

チタン炭素窒化物、チタン珪素窒化物、およびチタンアルミニウム窒化物は、優れた障壁特性を有し、異物のカルコゲン化物メモリ材料内への拡散およびエレクトロ・マイグレーションの両方を防止する。さらに、チタン炭素窒化物、チタン珪素窒化物、およびチタンアルミニウム窒素物は、DCとRFのスパッタリングデポジション、化学蒸着、プラズマ補助化学蒸着の他、蒸発、イオンプレーティングを含む物理蒸着のような方法によって、堆積させることもできる。使用される正確な方法は、多くの因子に依存し、その内の1つはカルコゲン化物ターゲット材料の組成によって課されるデポジション温度の制約である。

隣接した薄膜層38は、好ましくは約100Åから2000Åの厚さに堆積される。隣接した薄膜層38は、約200Åから1000Åの厚さに堆積されるのがさらに好ましい。

第1コンタクト6は、さらに、カルコゲン化物メモリ材料に遠く離れて堆積される追加の薄膜層40を備える。遠隔薄膜層は、Ti、WおよびMoから成り立つグループの1つまたは複数の元素から構成される。1つの実施例では、遠隔薄膜層は、TiおよびWから構成される。好ましくは、遠隔薄膜層は、原子パーセ

ントで、5%から30%のチタンおよび70%から95%のタングステンの化合物から構成される。遠隔薄膜層Ti-W合金は、DCスパッタリングデポジションプロセスを使用して堆積されるのが好ましい。それは約100Åから4000Åの厚さに堆積されるのが好ましい。それは、約200Åから2000Åの厚さに堆積されるのがさらに好ましい。Ti-W合金は、優れたオームコンタクト特性を有する。さらに、それには、異質の電極材料のカルコゲン化物メモリ材料内へのエレクトロ・マイグレーションおよび拡散の両方を妨げるために必要な障壁特性がある。

図1は、メモリ材料36に隣接したピーク16まで断面面積で次第に減る第2コンタクト8の実施例を示す。

この実施例では、第2コンタクトは、シリコン基板10上に形成できる「コンタクトチップ」14を備える。コンタクト選択14は、マルチステッププロセスで形成できる。パターン化された酸化物層が、従来の酸化およびフォトリソグラフィ技法を使用してシリコン基板10上に形成できる。酸化物層をマスクとして使用し、シリコン基板は、不均等に(anisotropically)エッチングされ、コンタクトチップと呼ばれる、細長い先細った構造をシリコン基板10の上部に形成する。コンタクトチップは、それらが円錐状、錐状の細長いまたは楔形であるように製作できる。カルコゲン化物材料とポイントコンタクトすることになる他の材料も、本発明の精神または適用範囲を逸脱することなく可能である。

第2コンタクトのピークは尖っている(pointed)ことができる。尖っているピークは、シリコン基板からエッチングされるコンタクトチップを鋭利にすることによって製作できる。鋭利にすることは、プラズマエッチング、湿式化学エッチングまたは熱酸化を含むが、プラズマエッチング、湿式化学エッチングまたは熱酸化に制限されない反応プロセスを使用する。コンタクトチップは、溶液にバイアスをかけ、コンタクトチップを堆積またはエッチングするなどによって、電気化学的に鋭利にされる場合もある。このプロセスは、モリブデン、タングステンまたはプラチナ、パリウム(pallium)、イリジウム

または金のような貴金属のコンタクトチップを鋭利にするために使用されることがある。

ピークが尖っていることが好まれるが、ピークは原子的に鋭利である必要はない。各ピークの断面直径が十分に小さいならば、丸いまたは平坦なピークでも十分である。好ましくは、ピークの断面直径は 2000 Å を下回る。さらに好ましくは、ピークの断面直径は 500 Å を下回る。平坦なピークを有して形成されるコンタクトチップは、円錐状、錐状、細長いまたは楔形をした錐台として製作できる。最も好ましい実施例では、ピークの直径はカルコゲン化物材料によって形成される線条（フィラメント）孔（伝導経路）の直径に近似するだろう。

図 2 は、第 2 コンタクト 8 が「第 1 の」薄膜層 3 4 を備える第 2 コンタクト 8 の別の実施例を示す。第 1 の薄膜層は、コンタクトチップ 1 4 の上部に堆積される。第 1 の薄膜層 3 4 は、非晶質炭素のような炭素材料から構成されることがある。

代りに、第 1 の薄膜層 3 4 が、Ti、V、Cr、Zr、Nb、M、Hf、Ta、W から成り立つグループから選択される 1 つの元素、および B、C、N、Al、Si、P、S から成り立つグループから選択される 2 つまたは 3 つ以上の元素を含む化合物から形成されることがで

きる。好ましくは、第 1 薄膜層 3 4 は、Ti と、C、N、Al、Si から成り立っているグループから選択される 2 つまたは 3 つ以上の元素、およびその混合物または合金を含む化合物から形成される。

1 つの実施例では、第 1 薄膜層 3 4 は、原子パーセントで、10 % から 60 % のチタン、5 % から 50 % の炭素、および 10 % から 60 % の窒素の間の組成を有する化合物から構成される。さらに、チタン炭素窒化物も、最高 40 % の水素を含む可能性がある。

別の実施例では、第 1 薄膜層 3 4 は、チタン珪素窒化物から構成される。好ましくは、この実施例において、隣接した薄膜層は、原子パーセントで、約 10 % から 60 % のチタン、5 % から 50 % の珪素、および 10 % から 60 % の窒素の間の組成を有する化合物から構成される。

別の実施例では、第1薄膜層34は、チタンアルミニウム窒化物から構成されることができる。好ましくは、第1薄膜層は、原子パーセントで、約10%から60%のチタン、5%から50%のアルミニウム、および10%から60%の窒素の間の組成を有する化合物から構成される。

第1薄膜層を備える第2コンタクトのピークの断面面積は、十分に小さく保たれなければならない。前記のように、好ましくは、ピークの断面直径は2000Åを下回る。さらに好ましくは、ピークの断面面積の直径は1000Åを下回る。最も好ましくは、ピークの断面面積の直径は、500Åを下回る。

代りに、第2コンタクトが2枚の薄膜層、つまり第1薄膜層および第2薄膜層を備えることがある。第1薄膜層は、前記に説明されるのと同じである。第2薄膜層は、Ti、WおよびMoから成り立つグループからの1つまたは2つ以上の元素から構成されることがある。ある実施例では、第2薄膜層は、TiおよびWから構成されている。好ましくは、第2薄膜層は、原子パーセントで、5%から30%のチタンおよび70%から95%のタングステンの化合物から構成される。2枚の薄膜層は、第2薄膜層がコンタクトチップの上部に堆積され、第1薄膜層が第2薄膜層の上部に堆積されるように配置される。

第2コンタクト8の代替構造は、コンタクトチップが細長い柱(column)によってシリコン基板から相殺される構造である。細長い柱は、距離を伸ばすために使用され、したがって、メモリ素子に電流を供給するために使用される導通している電極の間の寄生容量を削減する。柱は、金属（例えば、スパッタリングされたタングステン

、タングステンやスパッタリングされたチタン-タングステン合金のような単結晶金属）、導電性セラミック、シリコン（ドーピング済みまたは未ドーピング済み）、その他の半導体材料またはその他の材料から作られることがある。

エッチングプロセスによってシリコン基板10内に形成される間隔は、第2コンタクトの上部に適当な誘電体18を堆積することによって充填される。使用される可能性のある適当な誘電体材料の例は、TeOS、SiO₂またはSi₃N₄

である。誘電体材料18のデポジションの後、表面は、化学機械研磨(CMP)技法を使用してplanarizedされる。

CMPの後、カルコゲン化物メモリ材料の層は、その後planarizedされた表面の上部に堆積される。メモリ材料の層36は、本文中に開示されるカルコゲン化物材料のような複数素子(multi-element)半導体材料から形成される。層36は、RFグロー放電のようなプラズマ技法によって改善される可能性がある、スパッタリング、蒸着、または化学蒸着(CVD)などの方法によって堆積されることがある。最も好ましくは、本発明のカルコゲン化物メモリ材料は、RFスパッタリングおよび蒸着によって作られる。カルコゲン化物層36のRFスパッタリングおよび蒸着の典型的なデポジションパラメータ

は、それぞれ表2および表3に以下に述べられる。

表 2

RFスパッタリング・デポジションパラメータ

<u>パラメータ</u>	<u>典型的な範囲</u>
ベース圧力	$8 \times 10^{-7} \sim 1 \times 10^{-6}$ トル
スパッタリングガス(Ar)圧力	4 ~ 8 mトル
スパッタリング電力	40 ~ 60 ワット
周波数	13 ~ 14 MHz
デポジション速度	毎秒 0.5 ~ 1.0 Å
デポジション時間	2 ~ 25 分
膜厚	250 ~ 1500 Å
基板温度	周囲温度 ~ 300 °C

表 3

蒸着・デポジションパラメータ

<u>パラメータ</u>	<u>典型的な範囲</u>
ベース圧力	$1 \times 10^{-6} \sim 5 \times 10^{-6}$ トル
蒸着温度	450 ~ 600 °C

デポジション速度	毎秒 2 ~ 4 Å
デポジション時間	2 ~ 20 分
膜厚	250 ~ 1500 Å
基板温度	周囲温度 ~ 300 °C

加熱された基板に堆積された蒸着済み膜が、カルコゲン化物元素の向けられた層が無事に堆積される異方性育成(anisotropic growth)特性を示すことに注意することが重要である。これが電気的な用途に重要であることが証明されるかどうかは、まだ判明していないが、この種の膜は、(すでにこれらの構成物に測定された高いthermopower、つまりビスマスシステムに関して測定された係数を上回る4という係数のために)熱電気または特殊半導体および超伝導用途に有望である。メモリ材料の層36は、好ましくは約200Åから5000Åの厚さに堆積され、さらに好ましくは約250Åから2、500Å、最も好ましくは厚さで約400Åから1、250Åに堆積される。

絶縁材料39の層が、構造全体の上部に堆積される。使用することができる絶縁材料の例は、SiO₂、Si₃N₄またはTeOSである。それから、絶縁材料のこの層は、エッチングされ、アルミニウムの層が堆積され、導体12に向かう方向で垂直に伸長する第2電極グリッド構造42を形成し、個々のメモリ素子へのX-Yグリッド接続を完了する。完全な集積構造上にかぶせられるのが、Si₃N₄またはポリアミドなどの塑性材料のような適当なカプセル材料の上部カプセル化層であり、性能の劣化および低下を引き起こすことがある水分および他の外部素子を密封する。Si₃N₄カプセル材料は、例えば、低温プラズマデポジションプロセスを使用して堆積することができる。ポリアミド材料は、スピンドル堆積し、デポジションの後に、カプセル材料層を形成するために既知の技法に従って焼成できる。

本明細書で用いる用語「孔直径」は、メモリ材料36と電気接点6、8との間の最小接触領域の平均断面を意味するものである。孔直径は、リソグラフィ解像度限界が実現する程度にまで小さくすることができます。孔直径は素子性能に關係する。孔直径を小さくすることによって素子体積が小さくなる。これによって素

子の電流密度およびエネルギー密度は増加し、このため電気的スイッチングに必要とされる電流とエネルギーの必要値が引き下げられる。これは、素子速度および感度を高め、抵抗値において検出可能な変化を引き起こすために必要なスイッチング時間および電気的エネルギーを低減する。

孔直径は、材料が高い抵抗状態または低い抵抗状態に切り替えられるとき、メモリ材料断面の抵抗値が実際に確かに変えられることを実質的に確実にするよう、選択

されることが好ましい。メモリ材料のこの断面は「線条（フィラメント）部分」と呼ばれる。「孔直径」は、理想的には、この「線条（フィラメント）部分」の直径に等しい。

リソグラフィによって実現される以上に孔直径を小さくする手段として、メモリ素子は、間隔を空けて配置されたコンタクトの少なくとも1つと一定容積のメモリ材料との間に「線条（フィラメント）制限手段」を用いていた。「線条（フィラメント）制限手段」は、典型的には、貫通する少なくとも1つの低抵抗経路部を有した高抵抗材料の薄膜層である。電流は、その低抵抗経路部を通って、電気的コンタクトと一定容積メモリ材料との間を流れる。

「線条（フィラメント）制限手段」は、メモリ素子のスイッチング時及び電気的形成（エレクトリカル・フォームーション）時の両方において、メモリ材料内における線条（フィラメント）部分のサイズおよび位置を限定する。このようにして、間隔を空けて配置されたコンタクトへ非常に低い電流を投入したとき、線条（フィラメント）部分内に高い電流密度を与えるのである。

線条（フィラメント）制限手段は、メモリ素子の「電気的形成（エレクトリカル・フォームーション）プロセ

ス」においてある1つの役割を果たす。「電気的形成プロセス」は、メモリ素子がその最初の非常に高い”処女（バージン）”抵抗値から低抵抗値に切り替わるまで、新規構築されたメモリ素子に高電流電気パルスを印加することから成る。一旦この切替が起これば、メモリ素子は「形成された」と言うことができる。こ

れは、それ以降の低電流電気サイクルについて準備万端整った状態であるのである。

前記形成プロセスは、線条（フィラメント）制限手段を”ブレーク・ダウン”（取り壊す）するのである。形成プロセスにおいて1又は複数の高電流パルスが印加されている間に、”制限”を受けている層のうち電気的に最も弱い”ブレーク・ダウン”領域が、物理的な改変を受け、層の残りの部分と比較してはるかに高い導電性を有するようになる。それ以降のメモリサイクルのパルス（セットパルスおよびリセットパルス）を担う全ての電流は、この領域を通って流れるのである。メモリ素子に非常に低い電流が印加されたとき、全ての電流は線条（フィラメント）部分をチャネルとして流れるのである。したがって、その極めて小さなサイズのために、電流密度は、メモリ材料のこの領域内で非常に高くなる。

本発明においては、第2コンタクトはその断面において、メモリ材料に隣接したピークに向かって次第に減少

（テーパード）するように成されている。一般に、ある容積の断面領域が小さいほど、その断面内の電流密度は高くなる。したがって、前記ピークにおいて断面面積が小さいことによって、その位置での電流密度は高いものとなる。従って、高い電流密度が、第2コンタクトのピークに隣接したメモリ材料の小さい面積に印加されるのである。

このようにして第2コンタクトは、前記線条（フィラメント）制限手段の役割に類似した役割を果たすのである。線条（フィラメント）制限手段におけるように、第2コンタクトは、電気的形成（エレクトリカル・フォーメーション）時とスイッチング時の両方において、メモリ材料内の線条（フィラメント）部分のサイズおよび位置を規定することができる。したがって本発明の第2コンタクトは、余分な材料層を使用する必要なく、小さな孔を作り出すリソグラフィ技術の限界を克服するために使用することができる。

本発明の特別に設計された第2コンタクトは、カルコゲン化物メモリ素子が有する全体容量を低減することもできる。平行な2つのコンタクトを有するメモリ素子とは対照的に、第2コンタクトの先細った形状は、2つのメモリコンタクト

の間の平均距離を増加するのである。平均の距離のこの増加によって、コンタクト間の平均電

場が減少し、素子の容量とエネルギーの両方が引き下げられるのである。

複数のメモリ素子用に考えられる構成の平面図が、図 3 に図示される。図示されるように、素子は、メモリ素子の X-Y マトリックスを形成する。水平ストリップ 1 2 は、個々の素子をアドレス指定するための X-Y 電極グリッドの X セットを表す。垂直ストリップ 4 2 は、アドレス指定行の Y セットを表す。

C M O S 技術は必要とされる半導体素子を単結晶半導体ウェハの大部分の中に構築し、したがって素子の单一層を製作するためだけに使用できるので、このタイプの三次元メモリアレイを生産するには従来の C M O S 技術を使用することができないことに注意することが重要である。さらに、(1) C M O S は、比較的に低費用で大きなアレイを効果的に作り出すために底面積（実際の素子寸法）の小さい部分として作り出すことはできず、(2) C M O S 素子は、单一平面に存在するため、Z 方向に沿って相互接続することはできない。したがって、C M O S 素子は、先進並行処理コンピュータに必要とされる複雑な三次元相互接続性をもって製作することはできない。他方、本発明の三次元薄膜メモリアレイ構造は、並行情報処理だけではなく、従来の直列情報処理も行うことができる。

並行処理、したがって多次元メモリアレイ構造が、パターン認識、分類、または連想学習 (associative learning) などのような複雑なタスクの高速性能に要求される。並行処理のさらなる用途および説明は、本発明の譲受け人に譲渡され、その開示がここに参照して組み込まれる米国特許第 5, 159, 661 号に提示される。ただし、図 1 の実施例に図示されるような集積構造を使用すると、完全に垂直に集積されたメモリ構造を形成することができ、このようにして基板上で占有される面積を最小限にする。つまり、チップ内でのメモリ素子の密度は、本来、リソグラフィの解像度能力によってだけ制限される。

本発明の電気的に消去可能なメモリの他の回路構成は、言うまでもなく、実装するために可能であり、実行可能である。1 つの特に有効な構成とは、メモリ素

子または制御素子の複数の平面およびそのそれぞれの分離素子が互いに積み重ねられる、三次元多重レベルアレイである。メモリ素子の各平面は、メモリ素子の複数の行と列として配置され、それによって X-Y アドレス指定を見越す。メモリ記憶域密度の増加に加えて、平面の積み重ねは、相互接続の追加 Z 寸法を見越す。この配列は、真にインテリジェントなコンピュータ用のニューラルネットワークをシミュレーションするために特に有効である。

。

各メモリ素子は、なんらかのタイプの分離素子を使用して他から電気的に絶縁される。メモリ素子レイアウトの概略図である図 4 は、電気絶縁がダイオードを使用してどのように達成できるのかを示す。回路は、メモリ素子 30 が分離ダイオード 26 と直列で電気的に相互接続される X-Y グリッドを備える。アドレス行 12 および 42 は、当業者には周知の方法で外部アドレス指定回路に接続される。分離素子の目的とは、別個の各メモリ素子を、マトリックスの隣接したまたは遠く離れたメモリ素子に記憶される情報に干渉することなく、読み書きできるようにすることである。

図 5 は、本発明のメモリマトリックス 51 がその上に形成される、単結晶半導体基板 50 の一部を示す。同じ基板 50 の上には、集積回路接続部 53 によってメモリマトリックス 51 に適当に接続されるアドレス指定マトリックス 52 も形成される。アドレス指定マトリックス 52 は、メモリマトリックス 51 に印加される設定パルスおよび読み取りパルスを限定、制御する信号生成手段を具備する。言うまでもなく、アドレス指定マトリックス 52 は、ソリッドステートメモリマトリックス 51 と同時に集積、形成されることがある。

その大部分の用途に必要と見なされる比較的高いスイッチング速度および低いスイッチングエネルギーを有する従来の技術による半導体メモリにおいては、少なくとも 1 つのトランジスタおよび電荷保管素子がメモリ素子ごとに必要とされる。集積回路形成でのこのようなメモリの形成は、集積回路がどのように配置されているかに關係なく、一定の最小基板面積を占有する、他の余分な複雑度と

ともに少なくとも3つの接続部を必要とする。本発明の電気的に消去可能なメモリの集積回路構成は、各メモリ素子に2つの接続部しか必要とせず、これらは互いに垂直な関係で作成できる。さらに、分離ダイオードおよび素子のためのコンタクトの組を完備した各メモリ素子は、かなり高いピット密度が可能となるよう、それ自体、完全に垂直に集積される。事実上、本発明のメモリは、揮発性であり、それゆえ、本発明によって達成可能な不揮発性が提供するさらなる優位点に欠けるソリッドステートダイナミックランダムアクセスメモリ（DRAM）でさえ達成可能なピット密度より大きいピット密度に備える。本発明によって達成可能なピット密度の増加は、集積回路構成のピットあたりで占有されるウェハのさらに小さい面積のために、製造費の対応する削減につながる。これは、本発明のメモリが、電気的な性能およびメモリ記憶容量という点だけではなく、費用という点でも、さらに広範囲の用途のためのその他の使用可能なメモリと競合し、さらに広範囲の用途のための

他の使用可能なメモリに優ることを可能にする。ピットごとに少なくとも1つのトランジスタおよびコンデンサから形成される従来の技術の半導体メモリと比較すると、本発明の集積回路構成は、図1に図示されるように、同じフォトリソグラフィ解像度を使用する従来の技術の構成と比較して大きなピット密度を持つチップ上で形成することができる。さらに高いピット密度が与える費用の優位点に加えて、素子はさらに近くにまとめて配置され、リード線長さ、容量、およびその他の関係するパラメータはさらに最小限に抑えられ、それによって性能が高められる。

実験は、孔寸法（直径、厚さ、および体積）、カルコゲン化物構成物、熱準備（デポジション後焼きなまし）、信号パルス期間、構成物中の酸素のような不純物、クリスタライトのサイズおよび信号パルスは計形状のようなファクタが、抵抗の動的範囲の規模、前記動的範囲の絶対的な端点抵抗、およびこれらの抵抗に素子を設定するために必要とされる電圧さらに広範囲の用途のための他の使用可能なメモリに影響を及ぼすことを示した。例えば、比較的に厚いカルコゲン化物膜（つまり、約4000Å）は、さらに高い設定電圧要件（したがって、一

定容積のメモリ材料内でのさらに高い電流密度) を生じさせるが、比較的に薄いカルコゲン化物層(つまり、約250Å)は、さらに低い設定電圧(および電流密度)

度)要件を生じさせる。言うまでもなく、クリスタライトのサイズ、したがってバルク(bulk)原子の数に対する表面原子の数の比の考えられる重要性は、以前に説明された。

メモリ素子を電気抵抗の動的範囲内の希望される抵抗レベルに設定するために必要とされる信号パルス期間は、同様に、信号電流レベルだけではなく、前記ファクタのすべてに依存する。典型的には、信号パルス期間は、約250ナノ秒を下回り、好ましくは約50ナノ秒を下回る。注記される短い25ナノ秒パルスも、利用される半導体合金の厚さと組成だけではなく、孔のサイズと形状に依存することが強調されなければならない。パルス期間は、メモリスイッチの動作に干渉しなくても大幅に削減できると考えられる。実験は、より少ない量のエネルギーの投入により、素子のサイクル耐用期間が伸びることを示唆する。

指定されたメモリ素子の抵抗を読み取り、必要とされるときには指定されたメモリ素子の抵抗を調整するフィードバックループが、本発明のメモリシステムに取り入れられることがある。例えば、メモリ素子は、当初、希望の抵抗で設定されるが、そのうちには、素子の抵抗はそれが最初に設定された値からわずかに受動的にゆっくりと移動する可能性がある。フィードバックループは、

この例では、要求される電圧および期間のリフレッシュ信号パルスを計算し、メモリ素子に送達し、それを事前に選択された抵抗値に戻す。また、メモリ素子に送達された設定パルスが希望される抵抗値での素子の設定を生じさせない可能性がある状況も存在する。この場合には、フィードバックループは、希望される抵抗レベルが達成されるまで、余分な信号パルスを素子に送達するだろう。このシリーズの設定／調整サイクルの総期間は、約1,000ナノ秒を下回り、好ましくは約500ナノ秒を下回る。

抵抗対素子電流の曲線の直線部分を逆に上下に移動させる能力を、過度に強調

することはできない。選択された電流のパルスは、その以前の設定された状態には関係なく、メモリ素子を希望される抵抗に設定することができる。この曲線に沿って逆に移動させる能力は、以前に記憶されたデータの直接的な上書きに備える。このような直接的な上書き機能は、従来の技術の相変化および M S M (a - S i) メモリ材料では不可能である。中間抵抗値を逆に設定するこの能力は注目すべきものである。千の連続媒体電流パルスが、单一媒体電流パルスが後に続くさらに高い電流パルスまたは单一媒体電流パルスが後に続くさらに低い電流パルスとして同じ抵抗値を達成する。

抵抗の動的範囲も、幅広いグレースケールおよび多重レベルアナログメモリ記憶を可能にする。多重メモリ記憶は、幅広い動的範囲を複数の副範囲またはレベルに分割することによって達成される。連続抵抗プログラム可能性は、単一メモリセルの中に記憶される二進情報の複数ビットを見越す。この多重レベル記憶は、擬似アナログ形式の二進情報の複数ビットを真似し、このアナログ情報を单一メモリセルに記憶することによって達成される。このようにして、抵抗の動的範囲を 2^n アナログレベルに分割することによって、各メモリセルには n ビットのバイナリ情報を記憶する機能が具備されるだろう。

前記に示されたように、図 6 は、Ge - Te - Sb 半導体合金系の三進図である。その二進相および三進相が正方形 (■) で示される、前述された情報に加え、この図は、他の合金の分離に関する情報を提供する。これらの他の合金は、三角形 (▲)、菱形 (◆)、および円 (●) で示され、溶解物からの急速な凝固時にその中に合金が分離することがある相は、そこから伸びる線 (実線または破線) で示される。2つの Te が豊富な溶解物の開始構造物は、三進図で円形の記号によって示される。急速な凝固時、これらの混合物相は、相 B、C および D が加えられる原子 Te の中に分離する。

菱形記号によって示される、擬似二進線の右側の構造

物を含む溶解物は、図の上で線によって示される相の中に凝固する。相図の中で三角形によって示される他の混合物は、元素 Ge および Sb の中に、および相 A

の中に凝固する。本発明の改善されたメモリ素子で使用するために特に重要な合金は、Ge, Sb, Te₃または2-2-5とも呼ばれる、Ge₂, Sb₂, Te₅である。この2-2-5合金は、急速な凝固時に、図6の相図に示される構造物B (Ge₂, Sb_{1.8}, Te_{5.6}) およびC (Ge_{1.8}, Sb_{2.6}, Te_{5.6}) の2つの別個の相の混合物に相分離する。特に重要なもう1つの合金が、GeTe-Sb₂Te₃擬似二進線上の構成物Dである、Ge_{1.4}, Sb₂, Te_{5.7} (GeSb₂Te₃または1-2-4とも呼ばれる) である。2-2-5合金および1-2-4合金は、前述されたように、組成的に格付けされ、層化されるか、格付け＼層化組み合わせ(combine)形式で一定容積のメモリ材料を形成するために重要である。

オボニック装置のEEPROMのプログラミングに関連するスレッショルドスイッチング電圧があり、したがって、人は、スレッショルドスイッチングのように、オボニック装置のEEPROMプログラミング電圧がカルコゲン化物合金膜厚依存性を示すと考える。事実上、オボニック装置のEEPROMでは、スレッショルドスイッチング電圧は、読み取りイベントをプログラミングイベントから分離する役割を果たし、読み取りアップセット (

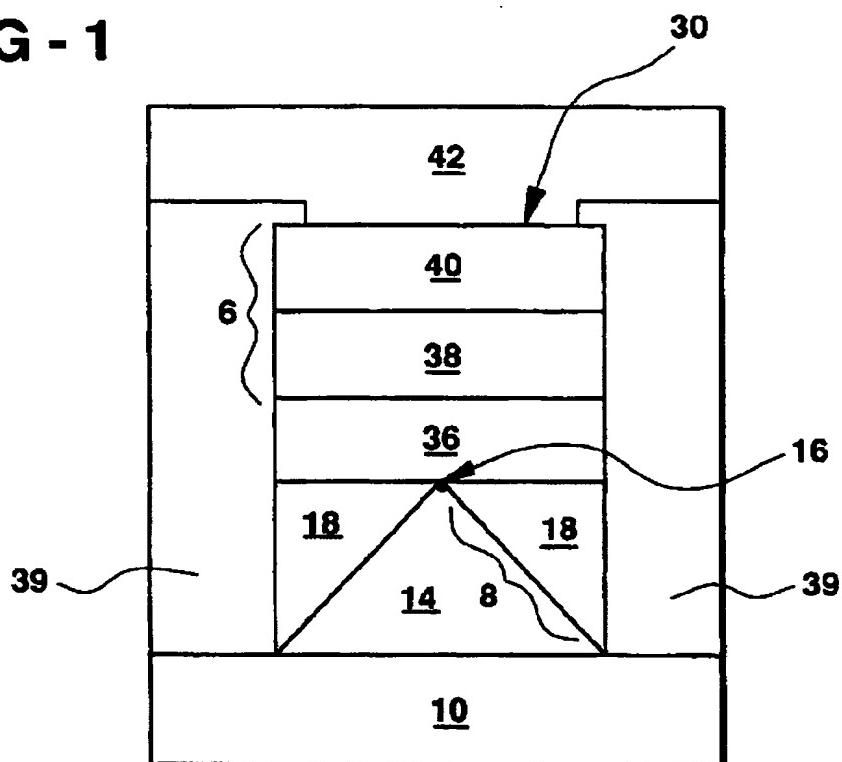
upset) を排除し、データ読み取り中に優れた操作上のマージンを提供する。著者の素子は、適用されたフィールドが低く、スレッショルド電圧まで、フィールドの増加につれて抵抗の漸次的な減少が後に続く場合、直線抵抗特性を示す。スレッショルド電圧が一度越えられると、素子は、極めて導電性の「ダイナミックオン(dynamic on)」状態までの負の抵抗遷移を示す。適用されたフィールドが削除されると、素子は不揮発性のプログラミングされた抵抗状態に戻り、その値はダイナミックオン状態にある間のその「メモリ平衡時間」の間に素子が経験した電流／エネルギープロファイルに依存する。スレッショルド電圧は素子の抵抗に依存するが、スレッショルド電圧での素子電流はすべての素子抵抗に比較的一定である。厚さに対する直線近似、スレッショルド電圧関係は、1を下回る比例係数を示し、同じ名目厚さを備える素子での幅広い操作マージンに貢献する。

本文中に開示される独占材料および素子構成を使用することにより、SRAM素子の読み書き速度に近づく高速読み書き速度、EEPROMの不揮発性とランダム

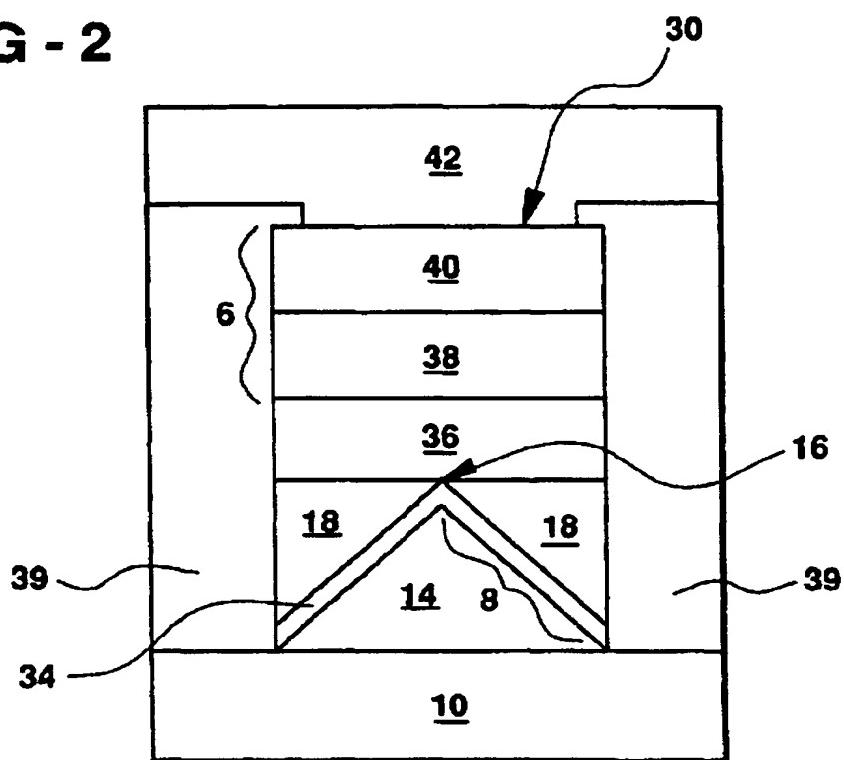
アクセスプログラミング機能、および他のどの半導体メモリも大きく下回る記憶のメガバイトあたりの価格を提供する電気的に消去可能で、直接的に上書き可能なメモリ素子が開発された。

本文中に述べられた開示が、本発明の十分かつ完全な開示を行う目的で説明された詳細な実施例という形で提示され、このような詳細は、添付請求項に述べられ、定義される、本発明の真の適用範囲を制限すると解釈されるべきではないことが理解されなければならない。

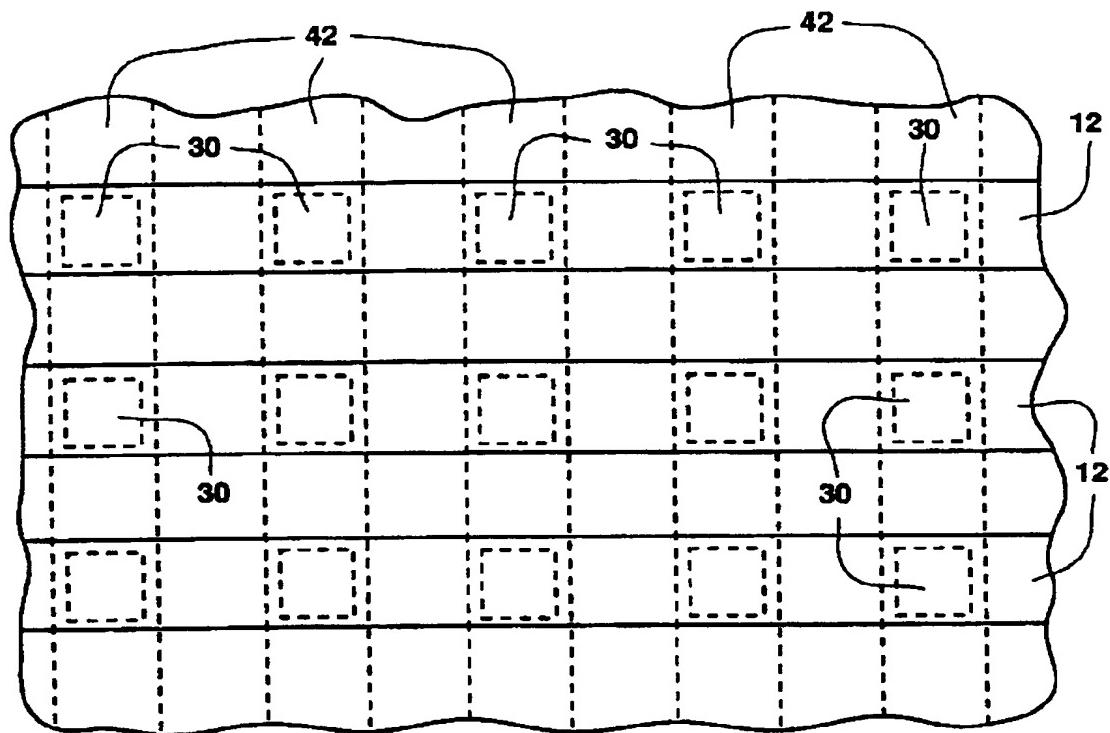
【図1】

FIG - 1

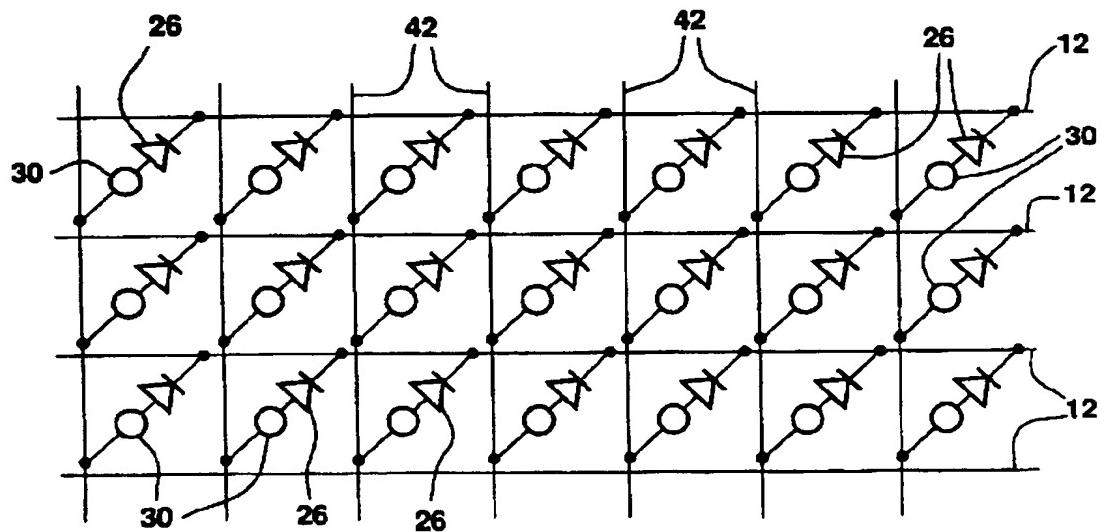
【図2】

FIG - 2

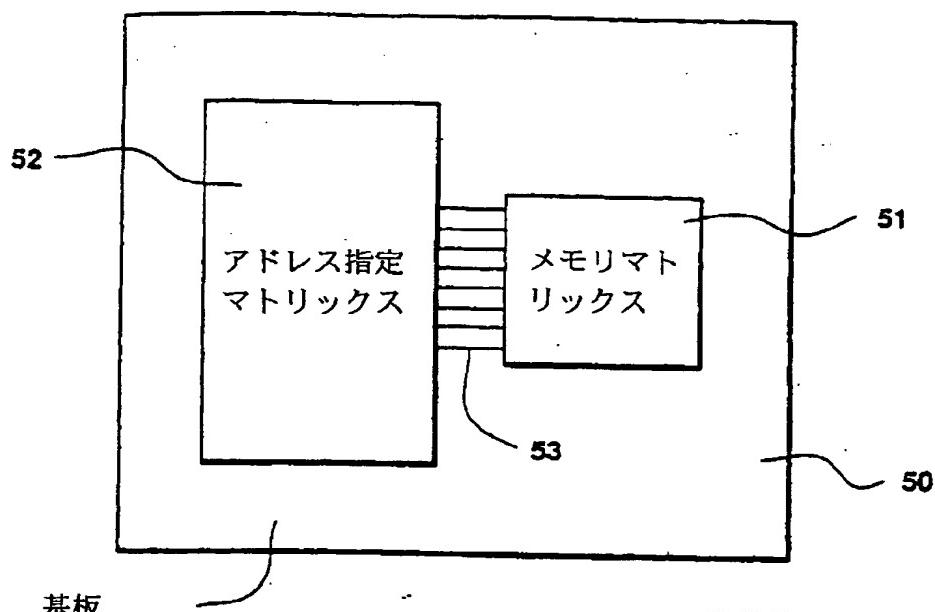
【図3】

FIG - 3

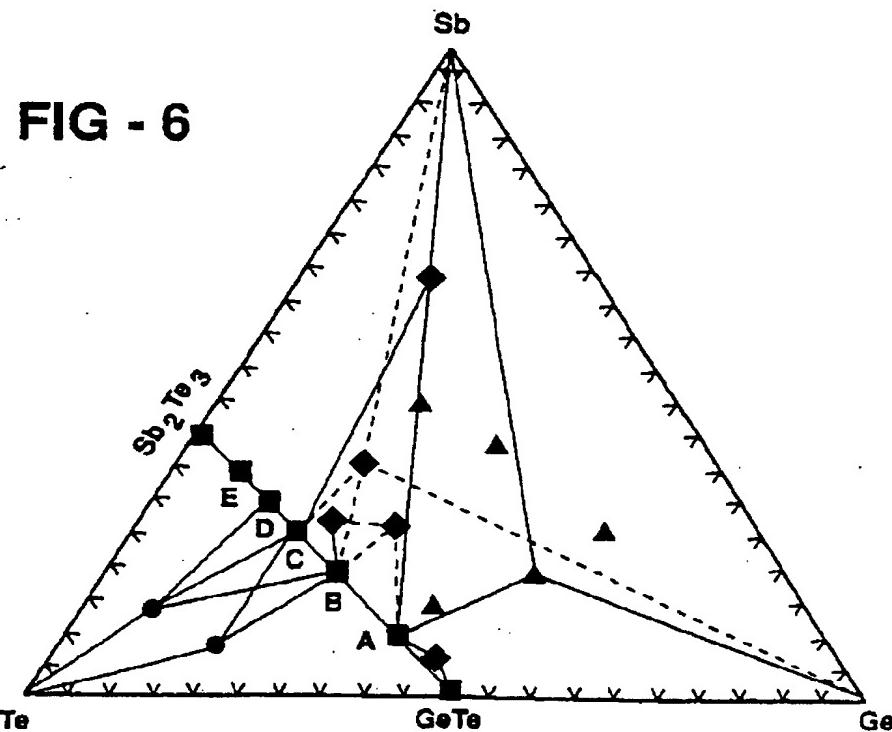
【図4】

FIG - 4

【図 5】

**FIG - 5**

【図 6】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US97/06538
A. CLASSIFICATION OF SUBJECT MATTER IPC(6) :G11C 11/00; HOIL 45/00 US CL :365/163; 257/3 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 365/163, 113 257/2,3,4, 5 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A,P	US, 5,536,947 A (KLERSY ET AL) 16 JULY 1996 (16/07/96), see entire document	1-17
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 29 JULY 1997	Date of mailing of the international search report 20 AUG 1997	
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230	Authorized officer  Telephone No. (703) 508-2806	

Form PCT/ISA/210 (second sheet)(July 1992)*